

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-022248

(43)Date of publication of application : 24.01.2003

(51)Int.Cl.

G06F 13/36

G06F 13/38

(21)Application number : 2001-206626

(71)Applicant : SONY CORP

(22)Date of filing : 06.07.2001

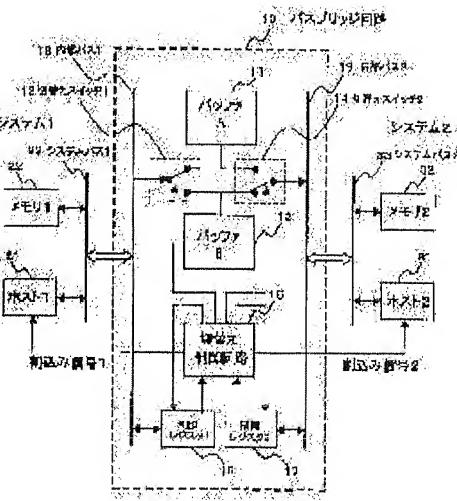
(72)Inventor : SUZUKI KENICHI

(54) BUS BRIDGE CIRCUIT AND DATA TRANSFERRING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To execute high speed data transfer without making it necessary to perform any complicate processing.

SOLUTION: At the time of starting data transfer, a buffer A (11) is connected to a system 1, and a buffer B (12) is connected to a system 2. The system 1 writes transferred data in the buffer A (11) from this state, and sets the writing completion bit of a control register 1 (16) at the time of completing it. Supposing that the reading completion bit of a control register 2 (17) is set in initialization, at the time of detecting that the both bits are set, a switching control circuit 15 switches the connected state of a changeover switch 1 (13) and a changeover switch 2 (14), and generates interrupting signals 1 and 2 to the systems 1 and 2. Then, the system 1 writes the next transferred data in the buffer B (12). On the other hand, the system 2 reads the data of the buffer A (11), and sets the reading completion bit of the control register 2 (17) at the time of completing it. At the time of detecting that the both bits are set, the switching control circuit 15 switches the connected state again.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-22248

(P2003-22248A)

(43)公開日 平成15年1月24日(2003.1.24)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト ⁸ (参考)
G 06 F 13/36	3 1 0	G 06 F 13/36	3 1 0 F 5 B 0 6 1
13/38	3 1 0	13/38	3 1 0 E 5 B 0 7 7

審査請求 未請求 請求項の数6 O.L (全 10 頁)

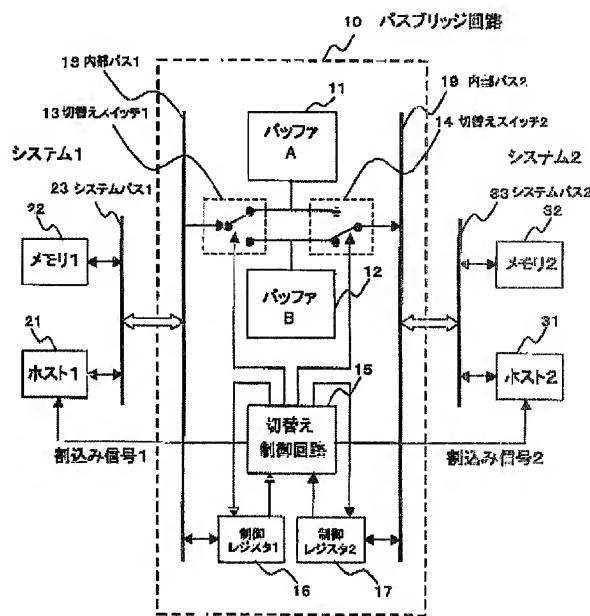
(21)出願番号	特願2001-206626(P2001-206626)	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成13年7月6日(2001.7.6)	(72)発明者	鈴木 健一 東京都品川区北品川6丁目7番35号 ソニ 一株式会社内
(23)代理人		(74)代理人	100092152 弁理士 服部 義義 Fターム(参考) 5B061 FF01 GG02 PP05 5B077 AA13 BA02 DD06
(24)分類式		(25)請求項の数	6
(26)図面の枚数		(27)特許料	10,000円

(54)【発明の名称】 バスブリッジ回路及びデータ転送方法

(57)【要約】

【課題】 煩雑な処理を必要とせずに高速なデータ転送を行なう。

【解決手段】 データ転送開始時、バッファA(11)はシステム1、バッファB(12)はシステム2と接続されている。この状態から、システム1は、転送データをバッファA(11)に書き込み、完了すると制御レジスタ1(16)の書き込み完了ビットをセットする。また、初期化時、制御レジスタ2(17)の読み出し完了ビットはセットされているとする。切替え制御回路15は、双方のビットがセットされたことを検出すると、切替えスイッチ1(13)及び切替えスイッチ2(14)の接続状態を切替え、システム1、2に対して割込み信号1、2を発生させる。続いて、システム1は、次の転送データバッファB(12)に書き込む。一方、システム2は、バッファA(11)のデータを読み出し、完了すると制御レジスタ2(17)の読み出し完了ビットをセットする。切替え制御回路15は、双方のビットがセットされたことを検出すると、再び、接続状態を切替える。



【特許請求の範囲】

【請求項1】 独立して動作するシステム間でデータ転送を行なうバスブリッジ回路において、前記システム間で転送するデータを一時的に保存する第1のバッファ及び第2のバッファとから成るデータ記憶回路と、前記第1のバッファあるいは前記第2のバッファのいずれかを選択して前記データ転送時の送信側である送信側システムのシステムバスと接続する第1の切替え回路と、前記第1の切替え回路が選択していない前記第1のバッファあるいは前記第2のバッファと前記データ転送時の受信側である受信側システムのシステムバスとを接続する第2の切替え回路と、前記送信側システム及び前記受信側システムによる前記第1のバッファあるいは前記第2のバッファへのアクセスがともに完了した時点で前記第1の切替え回路及び前記第2の切替え回路の接続状態を切替える切替え制御回路と、

を備えたことを特徴とするバスブリッジ回路。

【請求項2】 前記送信側システム及び前記受信側システムは、前記第1のバッファあるいは前記第2のバッファへの書込みあるいは読み出しが完了した際に書込みあるいは読み出しの完了を通知する完了通知信号を前記切替え制御回路へ出力し、

前記切替え制御回路は、前記送信側システム及び前記受信側システムから前記完了通知信号が入力した時点で前記接続状態の切替え制御を行なうことを特徴とする請求項1記載のバスブリッジ回路。

【請求項3】 前記切替え制御回路は、さらに、前記接続状態の切替え時に、前記送信側システム及び前記受信側システムに対して前記接続状態を切替えたことを通知する切替え通知信号を出力することを特徴とする請求項1記載のバスブリッジ回路。

【請求項4】 前記受信側システムは、前記送信側システムに対して複数設けられており、前記データ記憶回路、前記第1の切替え回路、前記第2の切替え回路及び前記切替え制御回路が前記受信側システムに対応して複数設けられることを特徴とする請求項1記載のバスブリッジ回路。

【請求項5】 前記受信システムは、前記送信側システムに対して複数設けられており、前記データ記憶回路、前記第1の切替え回路及び前記第2の切替え回路が前記受信側システムに対応して複数設けられ、

前記切替え制御回路は、前記受信側システムに対応して設けられたそれぞれの前記データ記憶回路への前記送信側システム及び対応する前記受信側システムによるアクセスがともに完了したことを検出した場合に、完了を検出したデータ記憶回路に対応する前記第1の切替え回路及び前記第2の切替え回路の接続状態を切替えることを

特徴とする請求項1記載のバスブリッジ回路。

【請求項6】 独立して動作するシステム間でバスブリッジ回路を用いてデータ転送を行なうデータ転送方法において、

前記システム間で転送するデータを一時的に保存する第1のバッファ及び第2のバッファと、前記第1のバッファあるいは前記第2のバッファのいずれかを選択して前記データ転送時の送信側である送信側システムのシステムバスと接続する第1の切替え回路と、前記第1の切替え回路が選択していない前記第1のバッファあるいは前記第2のバッファと前記データ転送時の受信側である受信側システムのシステムバスとを接続する第2の切替え回路と、を備えたバスブリッジ回路が、

前記送信側システムのシステムバスと前記第1のバッファあるいは前記第2のバッファのいずれかを前記第1の切替え回路により接続し、前記送信側システムと接続していない前記第1のバッファあるいは前記第2のバッファと前記受信側システムのシステムバスとを接続するステップと、

前記送信側システムのデータ書き込み及び前記受信側システムのデータ読み出しの完了を監視するステップと、前記送信側システムのデータ書き込み及び前記受信側システムのデータ読み出しがともに完了したことを検出した時点で前記第1の切替え回路及び前記第2の切替え回路の接続状態を切替えるステップと、

必要に応じて前記送信側システム及び前記受信側システムに対して前記第1のバッファあるいは前記第2のバッファへの接続状態を切替えたことを通知するステップと、

を有し、前記データ転送が終了するまで前記送信側システムのデータ書き込み及び前記受信側システムのデータ読み出しの完了を監視するステップからの処理を繰り返し行なうことを特徴とするデータ転送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はバスブリッジ回路及びそのデータ転送方法に関し、特に独立して動作するシステム間でデータ転送を行なうバスブリッジ回路及びそのデータ転送方法に関する。

【0002】

【従来の技術】 従来、例えば、プロセッサが接続されたプロセッサバスと外部デバイスが接続された外部バスというように、それぞれのホストとメモリが接続された2つのシステムバスを備えたコンピュータシステムにおいて、2つのバス間をバスブリッジ回路で接続してデータ転送を行なう技術が知られている。

【0003】 このように2つのシステム間でデータ転送を行なうバスブリッジ回路においては、双方のシステムバスからバスブリッジ回路へのアクセスが衝突しないように、ハードウェアあるいはソフトウェアを用いたアク

セス制御が行なわれている。

【0004】例えば、ソフトウェアでアクセス制御を行なう場合、データ転送を開始する前に、それぞれのシステムのソフトウェア同士がハンドシェイクを行なう。すなわち、ハンドシェイクによりデータ転送元のシステム以外のバスブリッジへのアクセスを禁止した上で、バスブリッジ回路にデータを転送し、データ転送先のシステム以外のバスブリッジへのアクセスを禁止した上で、バスブリッジ回路からデータを転送する。

【0005】また、ハードウェアでの制御が取り入れられたシステムには、ソフトウェアの場合と同様にそれぞれのシステム間のハンドシェイクを行なう。それに従ってバスブリッジのアクセスをハードウェア的にどちらか一方に固定するスイッチを内蔵しているものもある。この場合、例えば、内部バッファとシステムバスとの接続をどちらか一方に切替えて他方のシステムからは内部バッファへアクセスができないようにしている。

【0006】

【発明が解決しようとする課題】しかし、従来のバスブリッジ回路及びこのバスブリッジ回路を用いたデータ転送方法には、煩雑な処理が必要である、データ転送効率が悪くなる等という問題がある。

【0007】ソフトウェアによりハンドシェイクを行なう場合、それぞれのシステムがバスブリッジへのアクセス権を得るために、割込みを伴う通信(ハンドシェイク)で相手のシステムとのやり取りが必要で、非常に煩雑な制御フローとなっている。またそれぞれのシステムが相手の状態を知っておく必要があり、制御ソフトも複雑になるという問題がある。さらに、ソフトウェアでの制御が不完全な場合、誤って双方のシステムのバスブリッジへのアクセスが衝突してバスブリッジに転送したデータを破壊する危険性もある。

【0008】また、ハードウェアでの制御を行なう場合、接続を切替えるためにアクセスが衝突することはないが、一方のシステムからしかアクセスできないために、データ転送の効率が非常に悪くなるという問題がある。データの転送効率を上げるために、ハードウェアの構成をダブルバッファにして、双方のシステムから同時にアクセスができるようにすることも可能である。しかしながら、この場合はソフトウェアのハンドシェイクが必要で、かつ内部バッファとシステムバスの接続の切替えには煩雑な処理と、割込み処理等が必要になる。

【0009】本発明はこのような点に鑑みてなされたものであり、煩雑な処理を必要とせずに高速なデータ転送を行なうことが可能なバスブリッジ回路及びそのデータ転送方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明では上記課題を解決するために、独立して動作するシステム間でデータ転送を行なうバスブリッジ回路において、前記システム間

で転送するデータを一時的に保存する第1のバッファ及び第2のバッファとから成るデータ記憶回路と、前記第1のバッファあるいは前記第2のバッファのいずれかを選択して前記データ転送時の送信側である送信側システムのシステムバスと接続する第1の切替え回路と、前記第1の切替え回路が選択していない前記第1のバッファあるいは前記第2のバッファと前記データ転送時の受信側である受信側システムのシステムバスとを接続する第2の切替え回路と、前記送信側システム及び前記受信側システムによる前記第1のバッファあるいは前記第2のバッファへのアクセスがともに完了した時点で前記第1の切替え回路及び前記第2の切替え回路の接続状態を切替える切替え制御回路と、を備えたことを特徴とするバスブリッジ回路、が提供される。

【0011】このような構成のバスブリッジ回路では、転送するデータを一時的に保存する第1のバッファと第2のバッファとから成るデータ記憶回路を備えている。データ転送時に送信側となる送信側システムは、システムバスに接続する第1の切替え回路を介して第1のバッファあるいは第2のバッファのいずれか一方と接続する。また、データ転送時に受信側となる受信側システムのシステムバスは、第2の切替え回路を介して、第1のバッファあるいは第2のバッファのうち送信側システムに接続していないバッファに接続する。すなわち、送信側システムが第1のバッファと接続している場合は、受信側システムは第2のバッファと接続しており、送信側システムが第2のバッファと接続している場合は、受信側システムは第1のバッファと接続している。切替え制御回路は、送信側システムと受信側システムによる第1のバッファと第2のバッファへのアクセスがともに完了した時点で、第1の切替え回路と第2の切替え回路の接続状態を切替える。

【0012】また、上記課題を解決するために、独立して動作するシステム間でバスブリッジ回路を用いてデータ転送を行なうデータ転送方法において、前記システム間で転送するデータを一時的に保存する第1のバッファ及び第2のバッファと、前記第1のバッファあるいは前記第2のバッファのいずれかを選択して前記データ転送時の送信側である送信側システムのシステムバスと接続する第1の切替え回路と、前記第1の切替え回路が選択していない前記第1のバッファあるいは前記第2のバッファと前記データ転送時の受信側である受信側システムのシステムバスとを接続する第2の切替え回路と、を備えたバスブリッジ回路が、前記送信側システムのシステムバスと前記第1のバッファあるいは前記第2のバッファのいずれかを前記第1の切替え回路により接続し、前記送信側システムと接続していない前記第1のバッファあるいは前記第2のバッファと前記受信側システムのシステムバスとを接続するステップと、前記送信側システムのデータ書き込み及び前記受信側システムのデータ読み出

しの完了を監視するステップと、前記送信側システムのデータ書込み及び前記受信側システムのデータ読出しがともに完了したことを検出した時点で前記第1の切替え回路及び前記第2の切替え回路の接続状態を切替えるステップと、必要に応じて前記送信側システム及び前記受信側システムに対して前記第1のバッファあるいは前記第2のバッファへの接続状態を切替えたことを通知するステップと、を有し、前記データ転送が終了するまで前記送信側システムのデータ書込み及び前記受信側システムのデータ読出しの完了を監視するステップからの処理を繰り返し行なうことを特徴とするデータ転送方法、が提供される。

【0013】このような手順のデータ転送方法では、転送するデータを一時的に保存する第1のバッファと第2のバッファと、それぞれのバッファと送信側システムのシステムバスとを接続する第1の切替え回路と、同様にバッファを受信側システムのシステムバスと接続する第2の切替え回路と、を有するバスブリッジ回路を用いる。送信側システムとのシステムバスを第1の切替え回路を介して第1のバッファあるいは第2のバッファのいずれか一方と接続し、受信側システムのシステムバスを送信側システムに接続していないバッファに接続する。続いて送信側システムのデータ書込みと受信側システムのデータ読出しが完了するのを監視し、ともに完了したことを検出した場合には、第1の切替え回路と第2の切替え回路の接続状態を切替え、切替えたことを必要に応じて送信側システムと受信側システムに通知する。データ転送が終了するまで、監視からの処理を繰り返し行なう。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。まず、2つの独立したシステムであるシステム1とシステム2とを1対1で接続するバスブリッジ回路について説明する。図1は、本発明の一実施の形態であるバスブリッジ回路の構成図である。

【0015】ここで、システム1は、ホスト1(21)とメモリ1(22)とがシステムバス1(23)で接続し、さらに、システムバス1(23)がバスブリッジ回路10の内部バス1(18)に接続している。また、システム2は、ホスト2(32)とメモリ2(32)とがシステムバス2(33)で接続し、さらに、システムバス2(33)がバスブリッジ回路10の内部バス2(19)に接続している。システム1とシステム2とは、互いに独立して動作可能で、それぞれのシステムバスであるシステムバス1(23)、システムバス2(33)を介してバスブリッジ回路10に独立してアクセス可能である。

【0016】本発明に係るバスブリッジ回路10は、システム間で転送するデータを一時的に保存する第1のバッファであるバッファA(11)と第2のバッファであ

るバッファB(12)とから成るデータ記憶回路と、データ記憶回路のバッファとシステム1との接続切替えを行なう第1の切替え回路である切替えスイッチ1(13)、データ記憶回路のバッファとシステム2との接続切替えを行なう第2の切替え回路である切替えスイッチ2(14)、切替えスイッチ1(13)と切替えスイッチ2(14)の切替え制御を行なう切替え制御回路15、制御レジスタ1(16)、制御レジスタ2(17)、内部バス1(18)及び内部バス2(19)から構成される。

【0017】データ記憶回路を構成するバッファA(11)とバッファB(12)とは、転送されるデータの一時保存領域で、切替えスイッチ1(13)を介して内部バス1(18)に接続するとともに、切替えスイッチ2(14)を介して内部バス2(19)に接続する。ただし、バッファA(11)とバッファB(12)とが同時に同一の内部バスに接続することはない。バッファA(11)とバッファB(12)とは、それぞれ独立してアクセスが可能であって、例えば、システム1がバッファA(11)へアクセスしている時、システム2がバッファB(12)にアクセスすることができる。また、システム1及びシステム2とバッファA(11)とバッファB(12)との接続は、バスブリッジ回路10が制御し、システム1及びシステム2は接続の切替えに関与しない。このため、バッファA(11)とバッファB(12)に同じアドレスを割り当てれば、システム1及びシステム2のソフトウェアは、どちらのバッファに接続しているかを判断することなく、常に同一のアドレスにアクセスすることができる。

【0018】切替えスイッチ1(13)は、切替え制御回路15の指示に従って、システム1のシステムバス1(23)に接続する内部バス1(18)と、バッファA(11)あるいはバッファB(12)のどちらか一方とを接続する。

【0019】切替えスイッチ2(14)は、切替え制御回路15の指示に従って、システム2のシステムバス2(33)に接続する内部バス2(19)と、バッファA(11)あるいはバッファB(12)のどちらか一方とを接続する。このとき、切替えスイッチ2(14)が選択するのは、切替えスイッチ1(13)により内部バス1(18)と接続していない方のバッファである。

【0020】切替え制御回路15は、切替えスイッチ1(13)と切替えスイッチ2(14)の切替え制御を行ない、常に、バッファA(11)及びバッファB(12)のいずれか一方が内部バス1(18)、他方が内部バス2(19)に接続する状態としている。すなわち、バッファA(11)が内部バス1(18)に接続していれば、バッファB(12)は内部バス2(19)に接続する。また、バッファA(11)が内部バス2(19)に接続する場合は、バッファB(12)は内部バス1

(18)に接続する。切替えは、制御レジスタ1(16)及び制御レジスタ2(17)を監視し、システム1及びシステム2からのバッファA(11)あるいはバッファB(12)へのアクセスがともに完了したことを検出した時点で行なう。切替え制御回路15は、切替えスイッチ1(13)及び切替えスイッチ2(14)の接続状態の切替えが完了した時点で、システム1のホスト1(21)にバッファを切替えたことを通知する切替え通知信号による割り込み信号1を発生させ、システム2のホスト2(31)に同様の割り込み信号2を発生させるとともに、制御レジスタ1(16)及び制御レジスタ2(17)をリセットする。

【0021】制御レジスタ1(16)は、内部バス1(18)、システムバス1(23)を介してシステム1のホスト1(21)と接続するレジスタである。ホスト1(21)は、バッファA(11)あるいはバッファB(12)へのアクセスを完了するとアクセスが完了したことを通知する完了通知信号をバスブリッジ回路10に出力する。これに応じて、制御レジスタ1(16)の所定のビットがセットされ、切替え制御回路15はシステム1のアクセスが完了したことを検出する。ビットのリセットは、接続状態の切替え完了時点で切替え制御回路15が行なう。

【0022】制御レジスタ2(17)は、内部バス2(19)、システムバス2(33)を介してシステム2のホスト2(31)と接続するレジスタである。ホスト2(31)は、バッファA(11)あるいはバッファB(12)へのアクセスを完了するとアクセスが完了したことを通知する完了通知信号をバスブリッジ回路10に出力する。これに応じて、制御レジスタ2(17)の所定のビットがセットされ、切替え制御回路15はシステム2のアクセスが完了したことを検出する。ビットのリセットは、接続状態の切替え完了時点で切替え制御回路15が行なう。

【0023】制御レジスタの一例を示す。図2は、本発明の一実施の形態であるバスブリッジ回路の制御レジスタを示している。ここでは、システム1が送信側でシステム2が受信側であるとする。送信側システムであるシステム1に接続する制御レジスタ1は、ホスト1(21)が書込みを完了した完了通知信号が出力されるのに伴って、書込みビットに1がセットされる。また、受信側システムであるシステム2に接続する制御レジスタ2は、ホスト2(31)が読み出しを完了した完了通知信号が出力されるのに伴って、読み出しビットに1がセットされる。これらのビットのリセットは、切替え制御回路15が行なう。

【0024】図1に戻って説明する。内部バス1(18)は、切替えスイッチ1(13)と制御レジスタ1(16)、及びシステム1のシステムバス1(23)が接続しており、システム1とバスブリッジ回路10間の

転送データあるいは完了通知信号の伝達路になっている。

【0025】内部バス2(19)は、切替えスイッチ2(14)と制御レジスタ2(17)、及びシステム2のシステムバス2(33)が接続しており、システム2とバスブリッジ回路10間の転送データあるいは完了通知信号の伝達路になっている。

【0026】このような構成のバスブリッジ回路10の動作について説明する。ここでは、システム1からシステム2にデータが転送される場合について説明する。転送が開始される前の初期状態では、切替えスイッチ1(13)はバッファA(11)を選択し、切替えスイッチ2(14)はバッファBを選択している。すなわち、バッファA(11)がシステム1と、バッファB(12)がシステム2と接続されている。この状態から、システム1のホスト1(21)は、メモリ1(22)にあるデータをシステムバス1(23)、内部バス1(18)経由でバッファA(11)に書込む。書込みが完了すると、ホスト1(21)は、制御レジスタ1(16)の書込み完了ビットをセットする。また、初期化時には、予め制御レジスタ2(17)の読み出し完了ビットはセットされているとする。切替え制御回路15は、制御レジスタ1(16)、制御レジスタ2(17)を監視している。そして、双方のビットがセットされたことを検出すると、切替えスイッチ1(13)及び切替えスイッチ2(14)の接続状態を切替え、制御レジスタ1(16)及び制御レジスタ2(17)の完了ビットをリセットし、ホスト1(21)及びホスト2(31)に対して割込み信号1、割込み信号2を発生させる。

【0027】これにより、システム1はバッファB(12)に、システム2はバッファA(11)に接続する。ホスト1(21)は、上記説明と同様に次の転送データバッファB(12)に書込み、書込みが完了すると制御レジスタ1(16)の書込み完了ビットをセットする。一方、ホスト2(31)は、内部バス2(19)、システムバス2(33)経由でバッファA(11)のデータを読み出し、メモリ2(32)に転送する。読み出しが完了すると制御レジスタ2(17)の読み出し完了ビットをセットする。切替え制御回路15は、双方のビットがセットされたことを検出すると、再び、切替えスイッチ1(13)及び切替えスイッチ2(14)の接続状態を切替える。所望のデータの転送が終了するまで上記動作を繰り返す。

【0028】次に、このようなバッファ回路を用いたデータ転送方法について説明する。図3は、本発明の一実施の形態であるデータ転送方法のフローチャートである。初期状態では、バッファA(11)がシステム1と、バッファB(12)がシステム2と、切替えスイッチ1(13)及び切替えスイッチ2(14)を介して接続されている。このとき、送信側の制御レジスタ1(1

6) の書込みビットは“0”、受信側の制御レジスタ2(17)の読み出しビットは“1”となっているとする。【0029】システム1(送信側)の処理が開始され(S101)、転送されるデータがバッファA(11)に書込まれる(S102)。書込みが完了したら、制御レジスタ1(16)の書込みビットに“1”をセットし、書込みが完了したことを通知する。(S103)そして、次の転送が開始できるようになるまで、すなわち、バッファが切替わるまで、バッファの切替えを通知する割込み信号を待つ(S104)。一方、システム2(受信側)の処理が開始されるが、最初の転送時には読み出しを行なわず、読み出しビットは初期化状態の“1”的ままである(S201)。システム2も、転送データの読み出しができるようになるまで、すなわち、バッファが切替わるまで、バッファの切替えを通知する割込み信号を待つ(S202)。

【0030】バスブリッジ回路10の切替え制御回路15は、システム1の制御レジスタ1(16)の書込みビットと、システム2の制御レジスタ2(17)の読み出しビットがともに“1”になったことを検出すると、バッファA(11)、バッファB(12)と内部バス1(18)、内部バス2(19)をつなぐ2つの切替えスイッチ1(13)、切替えスイッチ2(14)を同時に切替えて、送信側の内部バス1(18)にバッファB(12)を接続し、受信側の内部バス2(19)にバッファA(11)を接続する。その後、切替え制御回路15は、バスブリッジ回路10に接続されている2つのシステムに割込みをかけるとともに、制御レジスタ1(16)の書込みビット及び制御レジスタ2(17)の読み出しビットをクリアする(S301)。

【0031】システム1は、切替え通知の割込み信号を受けると、独立して割込み処理を開始し(S105)、再度送信データをバッファB(12)に書込み(S106)、書込み動作が完了した時点で制御レジスタ1(16)の書込みビットに再度“1”をセットし(S107)、割込み信号を待つ(S108)。

【0032】一方、システム2は、システム1とは独立して割込み処理を開始し(S203)バッファA(11)に保存された受信データの読み出しを行なう(S204)。全てのデータの読み出しが完了した時点で制御レジスタ2(17)の読み出しビットを“1”にセットし(S205)、割込み信号を待つ(S206)。このとき、送信側システムの書込み動作と受信側システムの読み出し動作は完全に独立して行なわれ、同期した動作は必要としない。したがって、2つの動作間に時間的な制約はない。逆に2つのシステムのバッファへの接続は完全に切り離されているので、書込みと読み出しのそれぞれの動作が同時に行われることも可能である。

【0033】バスブリッジ回路10の切替え制御回路15は、システム1の制御レジスタ1(16)の書込みビ

ットと、システム2の制御レジスタ2(17)の読み出しビットがともに“1”になったことを検出すると、バッファA(11)、バッファB(12)と内部バス2(19)、内部バス1(18)をつなぐ2つの切替えスイッチ1(13)、切替えスイッチ2(14)を同時に切替えて、送信側の内部バス1(18)にバッファA(11)を接続し、受信側の内部バス2(19)にバッファB(12)を接続する。その後、切替え制御回路15は、バスブリッジ回路10に接続されている2つのシステムに割込みをかけるとともに、制御レジスタ1(16)の書込みビット及び制御レジスタ2(17)の読み出しビットをクリアする(S302)。

【0034】続いて、システム1は、切替え通知の割込み信号を受けると、割込み処理を開始し(S109)、再度送信データをバッファA(11)に書込み(S110)、書込み動作が完了した時点で制御レジスタ1(16)の書込みビットに再度“1”をセットし(S111)、割込み信号を待つ(S112)。システム2は、割込み処理を開始し(S207)、バッファB(12)に保存された受信データの読み出しを行なう(S208)。全てのデータの読み出しが完了した時点で制御レジスタ2(17)の読み出しビットを“1”にセットし(S209)、割込み信号を待つ(S210)。

【0035】バスブリッジ回路10の切替え制御回路15は、システム1の制御レジスタ1(16)の書込みビットと、システム2の制御レジスタ2(17)の読み出しビットがともに“1”になったことを検出すると、S301と同様の処理を行ない、送信側の内部バス1(18)にバッファB(12)を接続し、受信側の内部バス2(19)にバッファA(11)を接続し、システムに割込みをかけるとともに、書込みと読み出しビットをクリアする(S303)。

【0036】データの転送を継続する場合には、S105及びS203からの処理を繰り返し行なう。以後、データ転送(読み出しおよび書込み)が完了するごとに切替え制御回路15は、バッファA(11)とバッファB(12)と送信、受信システムとの接続状態の切替えを繰り返し行なう。これにより送信側のシステム1から受信側のシステム2への連続したデータ転送が可能になる。

【0037】このように、2つのバッファを内蔵し、2つのシステムバスに常にどちらか一方のバッファが接続されている状態とすることにより、バスブリッジ回路に接続される2つのシステムから同時にアクセス(読み出し、書込み)ができる。

【0038】また、このデータ転送において、1回のバッファの切替えでそれぞれのシステムには1回しか割込みが発生せず、またそれぞれのシステムは相手側のシステムの動作を知る必要もなく自分側のタイミングでバスブリッジとのデータ転送を行なうことができる。このため、双方のシステムが互いにハンドシェイクで切替え制

御をする等の煩雑な処理を行なう必要がない。また、切替え時に、それぞれのシステムに対して発生する割り込みは、1回だけであるため、それぞれのシステムのソフトウェアへの影響をさらに少なくすることができる。さらに、切替え制御は、ハードウェアにより行なわれるため、バッファの切替えの高速化が図れる。この結果、同時アクセスが可能であることと合わせて、バスブリッジ回路のデータ転送効率を大幅に上げることができる。

【0039】上記の説明では、システム1からシステム2へのデータ転送が行なわれるが、同じ回路でシステム2からシステム1へのデータ転送を行なうこともできる。この場合、ソフトウェアを用いたハンドシェイク等により、最初に送信側と受信側を決める処理が必要になるが、データ転送が開始された後は、上記説明のようにデータ転送を行なうことが可能であり、データ転送の効率化が実現できる。

【0040】さらに、本発明に係るバスブリッジ回路は、独立して動作する1つのメインシステムと、複数のサブシステムとから構成される1対N（Nは任意の整数を表す）システムにおいて、メインシステムからサブシステムへのデータ転送に用いることができる。

【0041】メインシステムとサブシステムから構成されるシステムに本発明に係るバスブリッジ回路を用いた場合について説明する。図4は、本発明の一実施の形態である1対Nシステムに用いたバスブリッジ回路の構成図である。図1と同じものには同じ番号を付し、説明は省略する。

【0042】メインシステムであるシステム1のシステムバス1（23）には、サブシステム1（30a）がシステム1を接続するバスブリッジ回路1（10a）を介して接続しており、同様に、サブシステム2（30b）はバスブリッジ回路2（10b）を介して、サブシステム3（30c）はバスブリッジ回路3（10c）を介してシステム1に接続している。

【0043】システム1は、ホスト1（21）とメモリ1（22）とがシステムバス1（23）を介して接続しており、ホスト1（21）は、システムバス1（23）及び各バスブリッジ回路を介してサブシステム1（30a）、サブシステム2（30b）、サブシステム3（30c）にデータを転送する。

【0044】バスブリッジ回路1（10a）、バスブリッジ回路2（10b）、バスブリッジ回路（10c）は、バスブリッジ回路10と同様の構成であり、内部に2つのバッファと切替えスイッチ、及び切替えスイッチを制御する切替え制御回路を備えている。

【0045】サブシステム1（30a）、サブシステム2（30b）及びサブシステム3（30c）もシステム1と同様にホストを有し、システム1とは独立動作している。

【0046】このような構成のシステムの動作について

説明する。システム1のホスト1（21）は、サブシステム1（30a）、サブシステム2（30b）あるいはサブシステム3（30c）に対して、データを送信する必要が発生した場合、送信先のサブシステムに接続するバスブリッジ回路のシステムバス1（23）に接続しているバッファに対してデータの書き込みを行ない、書き込みが完了した時点で対応する制御レジスタの書き込みビットに“1”をセットする。各バスブリッジ回路の切替え制御回路は、制御レジスタの書き込みビットの“1”を検出してバッファの切替えを行なうとともに、接続するサブシステムとシステム1に対して切替え通知の割込み信号を発生させる。このとき、どのバスブリッジ回路において割込みが発生したかをシステム1で判別できるようにしておく。システム1は、割り込みが発生したバスブリッジ回路に次の転送データの書き込みを行なう。以降のデータ転送処理は、1対1で接続された場合と同様である。また、サブシステム側の動作は、1対1接続を行なった場合の受信側システムの動作と同じであるので説明は省略する。

【0047】このように、メインシステムでは、煩雑な処理を必要とすることなく、転送先のサブシステムに対応するバスブリッジ回路のバッファにデータを書込むことにより、データ転送を行なうことができる。これにより、1対N構成のシステムにおいても、ハンドシェイク等の煩雑な処理を必要とすることなくデータ転送効率を上げることが可能となる。

【0048】上記説明では、サブシステムに対応してバスブリッジ回路を複数配置するが、切替え制御回路及び制御レジスタを共通化することもできる。図5は、本発明の一実施の形態である1対Nシステムに用いたバスブリッジ回路の他の構成図である。図1、図4と同じものには同じ番号を付し、説明は省略する。

【0049】本発明に係るバスブリッジ回路100は、サブシステム1（30a）に対応するバッファA（111）とバッファB（121）、及び切替えスイッチ1（131）と切替えスイッチ2（141）、サブシステム2（30b）に対応するバッファA（112）とバッファB（122）、及び切替えスイッチ1（132）と切替えスイッチ2（142）、切替え制御回路150、制御レジスタ1（160）、制御レジスタ2（170）、内部バス1（180）、及び内部バス2（190）から構成される。

【0050】バッファA（111）、（112）とバッファB（121）、（122）は、それぞれのサブシステム1（30a）、サブシステム2（30b）に対応するもので、1対1接続の場合と同様のものである。切替えスイッチ1（131）、（132）と切替えスイッチ2（141）、（142）も、それぞれのサブシステム1（30a）、サブシステム2（30b）に対応するもので、1対1接続の場合と同様のものである。

【0051】切替え制御回路150は、1対1接続の切替え制御回路と同様に、制御レジスタ1(160)及び制御レジスタ2(170)を監視し、サブシステムごとに応する書き込みビット及び読み出しビットが“1”にセットされた場合、そのサブシステムの切替えスイッチ1と切替えスイッチ2の接続状態を切替える。

【0052】制御レジスタ1(160)は、それぞれのサブシステムに対応するシステム1の書き込みビットが複数割り当てられているレジスタである。同様に、制御レジスタ2(170)は、それぞれのサブシステムに対応する読み出しビットが複数割り当てられているレジスタである。

【0053】このような構成のバスブリッジ回路100の動作について説明する。システム1のホスト1(21)は、サブシステム1(30a)、あるいはサブシステム2(30b)に対して、データを送信する必要が発生した場合、システムバス1(23)に接続するとともに、送信先のサブシステムに対応しているバッファに対してデータの書き込みを行ない、書き込みが完了した時点で対応する制御レジスタの書き込みビットに“1”をセットする。切替え制御回路150は、制御レジスタの書き込みビットの“1”を検出して、対応する切替えスイッチ1及び切替えスイッチ2の接続状態を切替えるとともに、接続するサブシステムとシステム1に対して切替え通知の割込み信号を発生させ、書き込みビット及び読み出しビットをリセットする。このとき、どのサブシステムへの書き込みで割込みが発生したかをシステム1で判別できるようにしておく。システム1は、割り込みが発生したサブシステムに対応するバッファに次の転送データの書き込みを行なう。以降のデータ転送処理は、1対1で接続された場合と同様である。また、サブシステム側の動作は、1対1接続を行なった場合の受信側システムの動作と同じであるので説明は省略する。

【0054】このように、制御レジスタと切替え制御回路を共通化した場合であっても、転送先のサブシステムに対応するバッファにデータを書込むことにより、データ転送を行なうことができる。これにより、1対N構成のシステムにおいても、ハンドシェイク等の煩雑な処理を必要とすることなくデータ転送効率を上げることが可能となる。

【0055】

【発明の効果】以上説明したように本発明のバスブリッジ回路では、バスブリッジ回路に設けられた2つのバッファのそれぞれに送信側システムと受信側システムとを接続する。送信側システムと受信側システムのそれぞれのバッファへのアクセスがともに完了した時点で、接続状態の切替えを行なう。

【0056】このように、2つのバッファを内蔵し、送

信側及び受信側のシステムにそれぞれどちらか一方のバッファが接続されている状態とすることにより、バスブリッジ回路に接続される2つのシステムから同時にバッファへアクセスすることができる。また、バッファ切替え時に双方のシステムが互いにハンドシェイクで切替え制御をする必要がなく、さらに、他方のシステムの状態に関わらず独立してバッファにアクセスすることが可能である。この結果、2つのシステム間のデータ転送効率を上げることが可能となる。

【0057】また、本発明のデータ転送方法では、バスブリッジ回路に設けられた2つのバッファのそれぞれに送信側システムと受信側システムとを接続し、送信側システムのデータ書き込みと受信側システムのデータ読み出しが完了するのを監視し、ともに完了したことを検出した時点で接続状態を切替えて、切替えを通知する。データ転送が終了するまで、処理を繰り返し行なう。

【0058】このように、2つのバッファを内蔵し、送信側及び受信側のシステムにそれぞれどちらか一方のバッファが接続されている状態とすることにより、バスブリッジ回路に接続される2つのシステムから同時にバッファへアクセスすることができる。また、バッファ切替え時に双方のシステムが互いにハンドシェイクで切替え制御をする必要がなく、さらに、他方のシステムの状態に関わらず独立してバッファにアクセスすることが可能である。また、それぞれのシステムに対しての通知は、接続状態の切替えを発生させた1回のみであるので、それぞれのシステムのソフトウェアへの影響が少ない。この結果、2つのシステム間のデータ転送効率を上げることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるバスブリッジ回路の構成図である。

【図2】本発明の一実施の形態であるバスブリッジ回路の制御レジスタを示している。

【図3】本発明の一実施の形態であるデータ転送方法のフローチャートである。

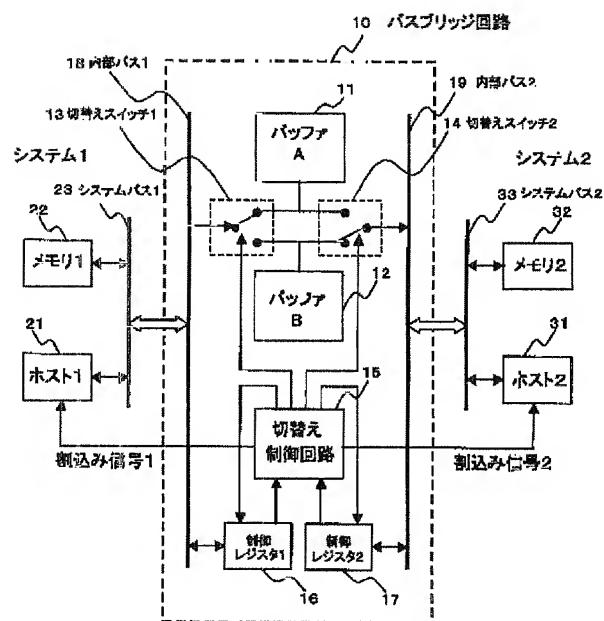
【図4】本発明の一実施の形態である1対Nシステムに用いたバスブリッジ回路の構成図である。

【図5】本発明の一実施の形態である1対Nシステムに用いたバスブリッジ回路の他の構成図である。

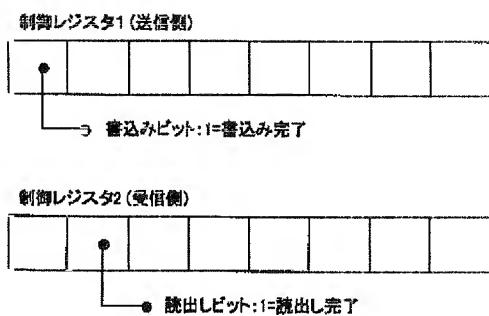
【符号の説明】

10 バスブリッジ回路、11 バッファA、12 バッファB、13 切替えスイッチ1、14 切替えスイッチ2、15 切替え制御回路、16 制御レジスタ1、17 制御レジスタ2、18 内部バス1、19 内部バス2、21 ホスト1、22 メモリ1、23 システムバス1、31 ホスト2、32 メモリ2、33 システムバス2

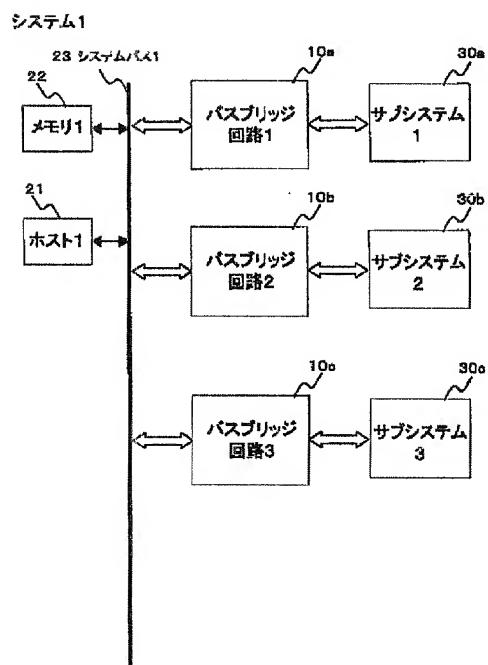
【図1】



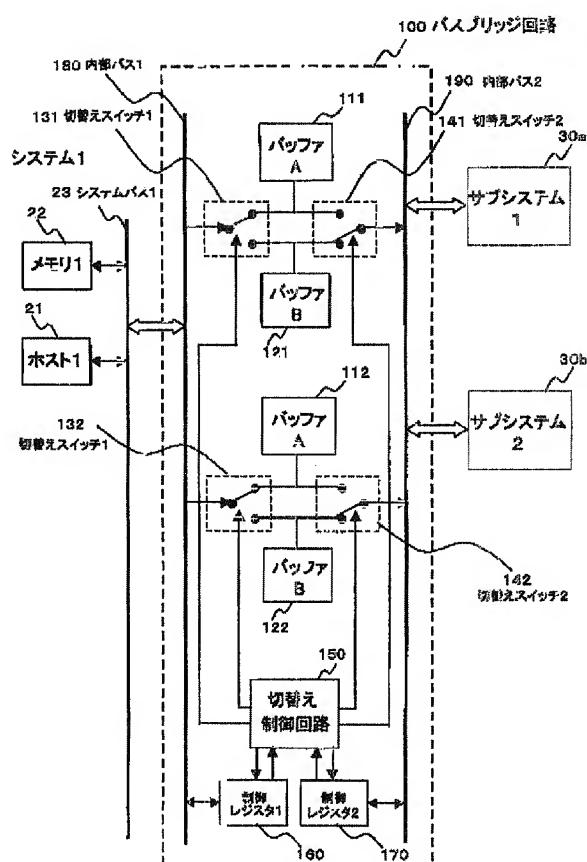
【図2】



【図4】



【図5】



【図3】

